

15This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000082812
PUBLICATION DATE : 21-03-00

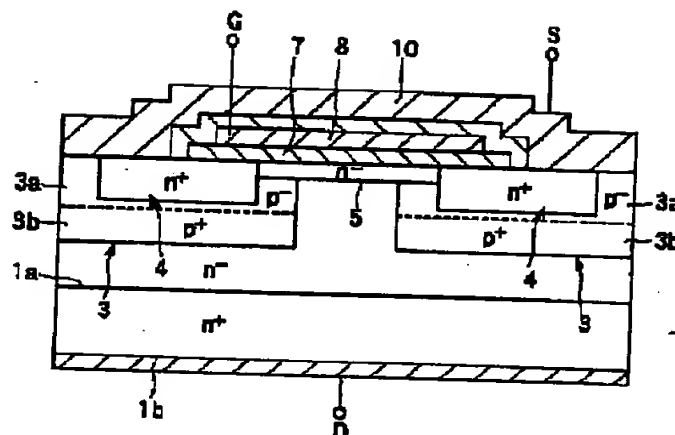
APPLICATION DATE : 11-06-99
APPLICATION NUMBER : 11165686

APPLICANT : DENSO CORP;

INVENTOR : NAKAMURA HIROKI;

INT.CL. : H01L 29/78 H01L 21/336

TITLE : SILICON CARBIDE SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To make feasible of avoiding the fluctuation in the threshold value voltage also raising the surge resistance level as well as avoiding the defective punch through.

SOLUTION: The regions 3b in no contact with a surface channel layer 5 out of a base region 3 are formed of boron while forming the regions 3a in contact with the surface channel layer 5 of aluminum. That is, if the regions 3a in contact with the surface channel layer 5 are formed of aluminum in low diffusion coefficient, the fluctuation in threshold value voltage due to the diffusion of B can be avoided. On the other hand, if the regions 3b in no contact with the surface channel region layer 5 are formed of B in high activating factor and low activating energy, the surge resistance level can be raised. Furthermore, these regions 3b are formed of B in longer range, thereby making feasible of easily increasing the junction depth also avoiding the defective punchthrough.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82812

(P2000-82812A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78
21/336

H 0 1 L 29/78

6 5 2 E

6 5 2 T

6 5 8 A

審査請求 未請求 請求項の数16 O L (全 15 頁)

(21) 出願番号 特願平11-165686

(22) 出願日 平成11年6月11日 (1999.6.11)

(31) 優先権主張番号 特願平10-175051

(32) 優先日 平成10年6月22日 (1998.6.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 中村 広希

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

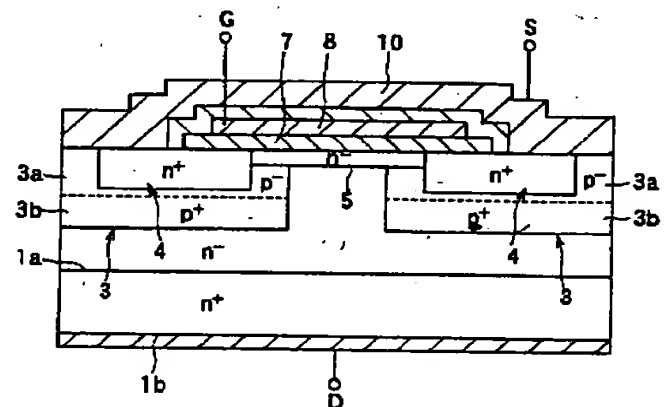
弁理士 伊藤 洋二 (外2名)

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 しきい値電圧の変動を防止し、サージ耐圧が高くできると共にパンチスルーの発生を防止できるようにする。

【解決手段】 ベース領域3のうち、表面チャネル層5と接しない領域3bをB（ボロン）で形成し、表面チャネル層5と接する領域3aをA1（アルミニウム）で形成する。このように、拡散係数の小さいA1で領域3aを形成すれば、Bの拡散によるしきい値電圧の変動を防止できる。また、表面チャネル層5と接しない領域3bは、活性化率が高く、活性化エネルギーの小さいBで形成されるようにすることで、サージ耐量を向上できる。また、この領域3bを飛程の長いBで形成しているため、接合深さが容易に深くでき、パンチスルー発生を防止できる。



【特許請求の範囲】

【請求項1】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上にこの半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、該表層部から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に前記半導体層の表面部で終端する第2導電型の前記第1のドーパントより拡散係数の小さい第2のドーパントを含む第2のベース領域(3a)を形成する工程と、

前記第2のベース領域の上部に第2導電型の表面チャネル層(5)を形成する工程と、前記第2のベース領域の表層部の所定領域に前記表面チャネル層に接すると共に、前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記第1のベース領域を形成するためのマスクと前記第2のベース領域を形成するためのマスクとを、同一マスクで兼用することを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、該表層部から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に表面チャネル層と接する前記第1のドーパントより拡散係数の小さな第2のドーパントを含む第2導電型の第2のベース領域(3a)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲ

ート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項4】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、

前記半導体層の表層部の所定領域において、第2導電型の第1のドーパントを含む所定深さの第1のベース領域(3b)を形成する工程と、

前記半導体層の表層部の所定領域に、前記第1のベース領域と重なりと共に前記半導体層の表面部で終端し、前記第1のドーパントより拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)を形成する工程と、

前記半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備え、

前記第1のベース領域を形成する工程では、該第1のベース領域が、ソース領域の下部には配置されて、前記表面チャネル層の下部には配置されないようにすることを特徴とする炭化珪素半導体装置の製造方法。

【請求項5】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の第1の半導体層(2)を形成する工程と、

この半導体層上に第2のドーパントを含む第2導電型の第2の半導体層(40)を成膜する工程と、

前記半導体基板の表面側から前記第2の半導体層を貫通し、前記第1の半導体層に達する溝(42)を形成することにより、前記第2の半導体層にて第2のベース領域(3a)を形成する工程と、

前記溝内を含む前記第2の半導体層上に第1導電型の第3の半導体層(43)をエピタキシャル成長させることにより、前記溝内を該第3の半導体層で埋める工程と、前記第3の半導体層における凹凸を平坦化する工程と、前記第2の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のド

ーバントを含む第2導電型の第1のベース領域(3b)を形成する工程と、

前記第2の半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項6】 単結晶炭化珪素よりなる第1導電型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の第1の半導体層(2)を形成する工程と、

この半導体層上に第2のドーパントを含む第2導電型の第2の半導体層(40)を成膜する工程と、

前記半導体基板の表面から前記第2の半導体層の所定領域にイオン注入することで、前記第2半導体層を貫通して前記第1の半導体層に達する第1導電型の第3の半導体層(2b)を形成すると共に、前記第2の半導体層にて第2のベース領域(3a)を形成する工程と、

前記第2の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のドーパントを含む第2導電型の第1のベース領域(3b)を形成する工程と、

前記第2の半導体層の上部に第2導電型の表面チャネル層(5)を形成する工程と、

前記第2のベース領域の表層部の所定領域に、前記表面チャネル層に接すると共に前記第1のベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、

前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、

前記半導体基板の裏面側にドレイン電極(11)を形成する工程とを備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項7】 前記第1のベース領域を形成する工程では、該第1のベース領域が、ソース領域の下部には配置されて、前記表面チャネル層の下部には配置されないようにすることを特徴とする請求項5又は6に記載の炭化珪素半導体装置の製造方法。

【請求項8】 前記第1のベース領域の深さを前記第2のベース領域の深さよりも深くすることを特徴とする請

求項4乃至7のいずれか1つに記載の半導体装置の製造方法。

【請求項9】 前記第1のベース領域を前記表面チャネル層から離間して形成することを特徴とする請求項4乃至8のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項10】 前記第1のベース領域と前記表面チャネル層とが接するようにしており、前記表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすることを特徴とする請求項4乃至8のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項11】 前記第1のドーパントとしてB(ボロン)を用い、前記第2のドーパントとしてAl(アルミニウム)を用いることを特徴とする請求項1乃至10のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項12】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域(3a、3b)と、

前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4)と、

前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなる第1導電型の表面チャネル層(5)と、前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、

前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、

前記ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、前記第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを有しており、前記第1のベース領域が前記表面チャネル層から離間した位置に形成されていることを特徴とする炭化珪素半導体装置。

【請求項13】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、

前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、

前記半導体層の表層部の所定領域に形成され、所定深さ

を有する第2導電型のベース領域(3a、3b)と、前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4)と、

前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなる第1導電型の表面チャネル層(5)と、前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、

前記ゲート絶縁膜の上に形成されたゲート電極(8)と、

前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、

前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、

前記ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、前記第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを有しており、前記第1のベース領域が前記ソース領域の下部には形成されており、前記表面チャネル層の下部には形成されていないことを特徴とする炭化珪素半導体装置。

【請求項14】 前記第1のベース領域が前記表面チャネル層から離間した位置に形成されていることを特徴とする請求項13に記載の炭化珪素半導体装置。

【請求項15】 前記第1のベース領域が前記第2のベース領域よりも接合深さが深くなっていることを特徴とする請求項12乃至14のいずれか1つに記載の炭化珪素半導体装置。

【請求項16】 前記第1のドーパントはB(ボロン)であり、前記第2のドーパントはAl(アルミニウム)であることを特徴とする請求項12乃至15のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【0002】

【従来の技術】本出願人は、プレーナ型MOSFETにおいて、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平9-259076号で出願している。

【0003】このプレーナ型MOSFETの断面図を図12に示し、この図に基づいてプレーナ型MOSFETの構造について説明する。

【0004】炭化珪素からなるn⁺型半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化

珪素からなるn⁻型エピタキシャル層(以下、n⁻型エピ層という)2が積層されている。

【0005】n⁻型エピ層2の表層部における所定領域には、所定深さを有するp⁻型ベース領域3が形成されている。このp⁻型ベース領域3はB(ボロン)やAl(アルミニウム)をドーパントとして形成されている。また、p⁻型ベース領域3の表層部の所定領域には、該ベース領域3よりも浅いn⁺型ソース領域4が形成されている。

【0006】さらに、n⁺型ソース領域4とn⁻型エピ層2とを繋ぐように、p⁻型ベース領域3の表面部にはn⁻型SiC層5が延設されている。このn⁻型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを有する。尚、このn⁻型SiC層5はデバイスの動作時にチャネル形成層として機能する。以下、n⁻型SiC層5を表面チャネル層という。

【0007】表面チャネル層5はN(窒素)をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、n⁻型エピ層2及びp⁻型ベース領域3のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0008】表面チャネル層5の上面およびn⁺型ソース領域4の上面には熱酸化にてゲート酸化膜7が形成されている。さらに、ゲート酸化膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4およびp⁻型ベース領域3と接している。また、n⁺型半導体基板1の裏面1bには、ドレイン電極11が形成されている。

【0009】このように構成されたプレーナ型MOSFETは、チャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードで動作するため、導電型を反転させる反転モードのMOSFETに比べチャネル移動度を大きくすることができ、オン抵抗を低減させることができる。

【0010】次に、図12に示すMOSFETの製造工程を、図13～図15に基づいて説明する。

【0011】(図13(a)に示す工程)まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型半導体基板1を用意する。ここで、n⁺型半導体基板1はその厚さが400 μm であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5 μm のn⁻型エピ層2をエピタキシャル成長する。本例では、n⁻型エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0012】〔図13(b)に示す工程〕 n^- 型エピ層2の上の所定領域にLTO膜120を配置し、これをマスクとして B^+ （若しくはアルミニウム）をイオン注入して、 p^- 型ベース領域3を形成する。このときのイオン注入条件は、温度が700℃で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

【0013】〔図13(c)に示す工程〕LTO膜120を除去した後、 p^- 型ベース領域3を含む n^- 型エピ層2上に表面チャネル層5を化学気相成長法（Chemical Vapor Deposition: CVD法）によりエピタキシャル成長させる。

【0014】〔図14(a)に示す工程〕表面チャネル層5の上の所定領域にLTO膜121を配置し、これをマスクとしてN（窒素）等の n 型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0015】〔図14(b)に示す工程〕そして、LTO膜121を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜122を配置し、これをマスクとしてRIEにより p^- 型ベース領域3上の表面チャネル層5を部分的にエッチング除去する。

【0016】〔図15(a)に示す工程〕LTO膜122を除去した後、基板の上にウェット酸化（ $\text{H}_2 + \text{O}_2$ によるパイロジェニック法を含む）によりゲート酸化膜7を形成する。このとき、雰囲気温度は1080℃とする。

【0017】その後、ゲート絶縁膜7の上にポリシリコンからなるゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

【0018】〔図15(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

【0019】〔図15(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。

【0020】このようにして、図12に示す縦型パワーMOSFETが完成する。

【0021】

【発明が解決しようとする課題】上記した先の出願では、 p^- 型ベース領域3を形成するためのドーパントとして、BやAlを用いることが示されている。

【0022】しかしながら、Bをドーパントとして用いた場合、図16に示すBの熱処理温度とプロファイルの関係にて表されているように、Bが拡散し易いことから、ドーピング後に行う活性化アニールの際の熱処理時

や表面チャネル層5の成長時における熱処理時にBが表面チャネル層5の中へ拡散してしまい、表面チャネル層5の不純物濃度が高くなって、しきい値電圧を高くするという問題を発生させる。

【0023】さらに、Alに比べてBは活性化エネルギーが大きく、活性化率が低いため、ソース領域4と n^- 型エピ層2で挟まれた部分のピンチ抵抗が高くなりサージ破壊が起きやすくなってしまうという問題を発生させる。

【0024】一方、上記問題を解決すべく、Alをドーパントとして用いた場合、Bと比べてイオン注入の飛程が短くなるため、 n^+ 型ソース領域4に対してあまり p^- 型ベース領域3を深くできず、パンチスルーが起きやすくなるという問題があった。

【0025】本発明は上記問題に鑑みて成され、しきい値電圧の変動を防止できる炭化珪素半導体装置及びその製造方法を提供することを第1の目的とする。

【0026】また、サージ耐量が高い炭化珪素半導体装置及びその製造方法を提供することを第2の目的とする。

【0027】さらに、パンチスルーの発生を防止できる炭化珪素半導体装置及びその製造方法を提供することを第3の目的とする。

【0028】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。

【0029】請求項1に記載の発明においては、半導体層の表層部の所定領域において、該半導体層の表面から離間した位置に、第2導電型の第1のドーパントを含む所定深さの第1のベース領域（3b）を形成する工程と、半導体層の表層部の所定領域に、第1のベース領域と重なりと共に半導体層の表面部で終端する第2導電型の第1のドーパントより拡散係数の小さい第2のドーパントを含む第2のベース領域（3a）を形成する工程とを備えていることを特徴としている。

【0030】このように、拡散係数の小さい第2のドーパントで、半導体層の表面部で終端する第2のベース領域と形成し、第1のドーパントで半導体層の表面から離間する位置に第1のベース領域を形成すれば、拡散係数の高い第1のドーパントの表面チャネル層への拡散を抑制できるため、しきい値電圧の変動を防止することができる。

【0031】請求項2に記載の発明においては、第1のベース領域を形成するためのマスクと第2のベース領域を形成するためのマスクとを、同一マスクで兼用することを特徴としている。

【0032】このように、第1のベース領域を形成するためのマスクと第2のベース領域を形成するためのマスクを兼用することにより、マスクずれを見込んだ耐圧設計をする必要をなくすることができると共に、製造プロセ

スの簡略化を図ることができる。

【0033】請求項3に記載の発明においては、表面チャネル層(5)を形成した後において、半導体層の表層部の所定領域に、第1のベース領域と重なりと共に表面チャネル層と接する第1のドーパントより拡散係数の小さな第2のドーパントを含む第2導電型の第2のベース領域(3a)を形成することを特徴としている。

【0034】このように、表面チャネル層を形成した後には、第2のベース領域を形成してもよい。

【0035】請求項4に記載の発明においては、第1のドーパントを含む第1のベース領域(3b)と、第2のドーパントを含む第2のベース領域(3a)を形成し、第1のベース領域がソース領域(4)の下部には配置されて、表面チャネル層(5)の下部には配置されないようにすることを特徴としている。

【0036】このように、表面チャネル層の下部には第2のドーパントを含む第2のベース領域が形成されないようにすれば、表面チャネル層への第2のドーパントの拡散を防止することができる。また、ソース領域の下部には第1のベース領域と第2のベース領域が形成されるようにすれば、ソース領域と半導体層(2)との間におけるピンチ抵抗を小さくでき、サージ耐量を高めることができる。

【0037】請求項5に記載の発明においては、半導体層(2)上に第2のドーパントを含む第2導電型の第2の半導体層(41)を成膜する工程と、半導体基板の表面側から第2の半導体層を貫通して第1の半導体層に達する溝(42)を形成することにより、第2の半導体層にて第2のベース領域(3a)を形成する工程と、溝内を含む第2の半導体層上に第1導電型の第3の半導体層(43)をエピタキシャル成長させることにより、溝内を該第3の半導体層で埋める工程と、第3の半導体層における凹凸を平坦化する工程と、第1の半導体層の表層部の所定領域に、所定深さを有する第2のドーパントより拡散係数の大きな第1のドーパントを含む第2導電型の第1のベース領域(3b)を形成する工程と、を備えていることを特徴としている。

【0038】このように、第2導電型の第2の半導体層を成膜したのち、この第2の半導体層に溝を形成することで第2のベース領域を形成すれば、イオン注入によらずに第1のベース領域を形成できるため、第2のドーパントの飛程が短くても第2のベース領域の実質的な接合深さを深くすることができる。これにより、パンチスルーを防止できる。また、拡散係数の大きな第1のドーパントで第1のベース領域を形成することにより、深い第1のベース領域をベースコンタクト部下部に形成可能となり、この底部でブレークダウンを起こさせることにより寄生トランジスタを動作させにくい構造とできる。従って、サージ耐量を高めることができる。

【0039】また、請求項6に示すように、半導体基板

の表面から第2の半導体層の所定領域にイオン注入することで、第2半導体層を貫通して第1の半導体層に達する第1導電型の第3の半導体層(2b)を形成すると共に、第2の半導体層にて第2のベース領域(3a)を形成するようにしてもよい。

【0040】このようにイオン注入によって第3半導体層を形成することにより、請求項5に示す溝形成工程、溝埋め込み工程、半導体表面の凹凸を平坦化する工程をなくし、製造プロセスを簡略化することができる。なお、この場合においても、請求項5に示す製造方法で形成したデバイスと同等の特性を期待できる。

【0041】なお、請求項7に示すように、表面チャネル層の下部には第1のドーパントを含む第1のベース領域が形成されないようにすれば、表面チャネル層への第1のドーパントの拡散を防止することができる。

【0042】請求項8に記載の発明においては、第1のベース領域の深さを第2のベース領域の深さよりも深くすることを特徴としている。

【0043】このように、拡散係数の大きな第1のドーパントを含む第1のベース領域が第2のベース領域よりも深くなるようにすることで、パンチスルーの発生を防止することができる。さらに、請求項4や請求項6の場合においては、第2のベース領域が形成された位置において部分的に深くできるため、この部分においてアバランシェブレークダウンし易くできる。

【0044】請求項9に記載の発明においては第1のベース領域を表面チャネル層から離間して形成することを特徴としている。

【0045】このように、第1のベース領域を表面チャネル層から離間させて形成すれば、より表面チャネル層への第1のドーパントの拡散を防止できる。

【0046】請求項10に記載の発明においては、第1のベース領域と表面チャネル層とが接するようにしており、表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすることを特徴としている。

【0047】第1のベース領域と表面チャネル層とが接するような場合においても、表面チャネル層中に含まれる第1のドーパントの濃度が、表面チャネル層中における第1導電型不純物の濃度よりも低くなるようにすれば、表面チャネル層の導電型が反転しないようにできる。

【0048】具体的には、請求項11に示すように、第1のドーパントとしてB(ボロン)を用い、第2のドーパントとしてAl(アルミニウム)を用いることができる。

【0049】請求項12に記載の発明においては、ベース領域は、第1のドーパントを含む第1のベース領域(3b)と、第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域(3a)とを

有しており、第1のベース領域が表面チャネル層から離間した位置に形成されていることを特徴としている。

【0050】このように、第1のベース領域が表面チャネル層から離間した位置に形成されていることにより、第1ドーパントの拡散によるしきい値電圧の変動のない炭化珪素半導体装置とすることができる。

【0051】請求項13に記載の発明においては、ベース領域は、第1のドーパントを含む第1のベース領域と、第1のドーパントよりも拡散係数の小さな第2のドーパントを含む第2のベース領域とを有しており、第1のベース領域がソース領域の下部には形成されており、表面チャネル層の下部には形成されていないことを特徴としている。

【0052】このように、第1のベース領域がソース領域の下部に形成されていることによりサージ耐量を高くすることができ、表面チャネル層の下部に形成されていないことにより、第1ドーパントの拡散によるしきい値電圧の変動をなくすることができる。

【0053】請求項14に示すように、第1のベース領域が表面チャネル層から離間した位置に形成されてれば、よりしきい値電圧の変動をなくせる。

【0054】請求項15に記載の発明においては、第1のベース領域が第2のベース領域よりも接合深さが深くなっていることを特徴としている。

【0055】このように、第2のベース領域を深くすることによって、パンチスルーの発生を抑制することができる。

【0056】具体的には、請求項16に示すように、第1のドーパントはB（ボロン）であり、第2のドーパントはA1（アルミニウム）で構成できる。

【0057】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

【0058】（第1実施形態）図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET（縦型パワーMOSFET）の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

【0059】図1に基づいて縦型パワーMOSFETの構造について説明する。但し、本実施形態における縦型パワーMOSFETは、上述した図11に示すMOSFETとはほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における縦型パワーMOSFETのうち、図11に示すMOSFETと同様の部分については同様の符号を付してある。

【0060】図11に示すMOSFETでは、p型ベース領域3を1種類のドーパントを用いて形成していたが、本実施形態では2種類のドーパントを用いて形成している。

【0061】p型ベース領域3は、第1のドーパントと

してのA1がドーピングされて形成されたp⁻型の領域3aと、ドーパントとしてのBがドーピングされて形成されたp⁺型の領域3bから構成されている。領域3aは、表面チャネル層5と接しており、接合深さが浅くなっている。領域3bは、表面チャネル層5から離間して形成されており、接合深さが深くなっている。

【0062】つまり、p型ベース領域3のうち、接合深さの浅い領域3aを拡散係数が小さいA1で形成してBの表面チャネル層5への拡散を抑制できるようにすると共に、接合深さの深い領域3bをBで形成して飛程を長くし、ソース領域4の下部に活性化エネルギーの小さなA1と共にBを形成することが可能となる。

【0063】これにより、表面チャネル層5へのBの拡散によるしきい値電圧の変動、接合深さが浅くなることによるパンチスルー発生、及びサージ破壊の防止が図られている。

【0064】なお、p型ベース領域3の接合深さは、図11に示すMOSFETと同等となっている。

【0065】次に、図1に示す縦型パワーMOSFETの製造工程を、図2(a)～(d)に基づいて説明する。但し、上記した先の出願（特願平9-259076号）と同様の工程については図12～図14を参照して説明を省略する。なお、図2は、図1に示す縦型パワーMOSFETの断面図の左半分に該当する。

【0066】まず、図12(a)に示すように、半導体基板1の上にn⁻型エピ層2を形成したのち、p型ベース領域3を形成する。

【0067】〔図2(a)に示す工程〕まず、フォトリソ法を用いてn⁻型エピ層2の上の所定領域にLT膜21を成膜し、これをマスクとしてBをイオン注入する。このとき、Bの注入深さが、後工程で施される熱処理（B、A1、N等の不純物の活性化アニール）や表面チャネル層5を成長させる際における熱処理によって、Bが表面チャネル層5に拡散しない程度、若しくは拡散しても表面チャネル層5への拡散量が $1 \times 10^{15} \text{ cm}^{-3}$ 以下となるように制御する。具体的には、加速電圧を400keVと350keVとし、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ 程度としている。

【0068】その後、熱処理によってBを活性化させる。これにより、n⁻型エピ層2の表面よりも内側、つまり後工程で形成される表面チャネル層5から離間した位置に、Bが注入された領域3bが形成される。

【0069】このように、p型ベース領域3のうち、接合深さの深い部分を飛程の長いBで形成しているため、A1で形成する場合と比べて、接合深さを容易に深くすることができる。さらに、p型ベース領域3のうち、接合深さの深い部分をBで形成しているため、A1で形成する場合と比べて活性化エネルギーを小さくでき、活性化率を高くできる。このため、n⁺型ソース領域4とn⁻型エピ層2との間におけるピンチ抵抗を低くできる。

【0070】〔図2(b)に示す工程〕次に、もう一度、LTO膜21をマスクとしてAlをイオン注入する。このとき、Alが、先に注入したBの注入層の最上部からn⁻型エピ層2の最表面まで注入されるようにする。具体的には、加速電圧を400keV、250keV、150keV、30keVとし、ドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ としている。

【0071】その後、熱処理を施してAlを活性化させる。これにより、n⁻型エピ層2の表面で終端するように、つまり後工程で形成される表面チャネル層5に接する位置に、Alが注入されて領域3aが形成される。

【0072】このように、p型ベース領域3のうち、接合深さの浅い部分を拡散係数が小さいAlで形成することにより、Bがドーピングされた領域3bが表面チャネル層5に直接的に接しないようにできる。このため、活性化アニール時における表面チャネル層5へのBの拡散を抑制することができる。

【0073】このように、図2(a)、(b)に示す工程において、p型ベース領域3のうち、接合深さの浅い部分を拡散係数が小さいAlで形成すると共に、接合深さの深い部分を深くまで注入し易くかつ拡散係数が大きいBで形成しているため、表面チャネル層5へのBの拡散を抑制できると共に、接合深さを深くし易くでき、後述するn⁺型ソース領域4の下部に活性化エネルギーの小さなAlとB両方を形成することが可能となり、Bのみの場合に比べて活性化率を高くすることができる。

【0074】従って、表面チャネル層5へのBの拡散によるしきい値電圧の変動を防止できると共に、接合深さが浅くなることによるパンチスルーの発生を防止でき、さらにn⁺型ソース領域4とn⁻型エピ層2との間におけるピンチ抵抗を小さくしてサージ耐量を高くすることができる。

【0075】なお、Alのイオン注入用マスクとBのイオン注入用マスクとして、同一のLTO膜21を用いることにより、マスクずれを見込んだ耐圧設計をする必要をなくすることができると共に、製造プロセスの簡略化を図ることができる。

【0076】〔図2(c)に示す工程〕LTO膜21を除去したのち、Al注入層の表面を含むn⁻型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3μm以下の表面チャネル層5をエピタキシャル成長させる。

【0077】このとき、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)を、ゲート電極8に電圧を印加していない時におけるp型ベース領域3から表面チャネル層5に広がる空乏層の伸び量と、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量との和よりも小さくなるようにしている。

【0078】具体的には、p型ベース領域3から表面チャネル層5に広がる空乏層の伸び量は、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧によって決定され、ゲート酸化膜7から表面チャネル層5に広がる空乏層の伸び量は、ゲート酸化膜7の電荷及びゲート電極8(金属)と表面チャネル層5(半導体)との仕事関数差によって決定されるため、これらに基づいて表面チャネル層5の膜厚を決定している。

【0079】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0080】また、図1に示すように、p型ベース領域3は、ソース電極10と接触して接地状態となっている。このため、表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧を利用して表面チャネル層5をピンチオフすることができる。例えば、p型ベース領域3が接地されてなくてフローティング状態となっている場合には、ビルトイン電圧を利用してp型ベース領域3から空乏層を延ばすということができないため、p型ベース領域3をソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。

【0081】なお、p型ベース領域3の不純物濃度を高くすることによりビルトイン電圧をより大きく利用することができる。

【0082】また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、p型ベース領域3や表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0083】また、ノーマリオフ型の縦型パワーMOSFETにするためには、上記条件を満たすように表面チャネル層5の厚みを設定する必要があるが、シリコンを用いた場合にはビルトイン電圧が低いため、表面チャネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合にはビルトイン電圧がシリコンの約3倍と高く、表面チャネル層5の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0084】そして、引き続き、フォトレジスト法を用いて表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN(窒素)等のn型不純物

をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、 700°C 、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0085】〔図2(d)に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電氣的接続が可能となる。

【0086】この後、先の出願と同様に、図14に示す工程を施し、ゲート酸化膜7を介してゲート電極8を形成し、さらにソース電極10やドレイン電極11をすることによって、図1に示す縦型パワーMOSFETが完成する。

【0087】次に、この縦型パワーMOSFETの作用(動作)を説明する。

【0088】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極8に電圧を印加しない場合は、表面チャネル層5においてキャリアは、p型ベース領域3と表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。そして、ゲート電極8に電圧を印加することにより、表面チャネル層5とゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0089】つまり、ゲート電極8の仕事関数を第1の仕事関数とし、p型ベース領域3の仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0090】また、オフ状態において、空乏領域は、p型ベース領域3及びゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面において n^+ 型ソース領域4から n^- 型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、 n^+ 型ソース領域4から表面チャネル層5を経由し表面チャネル層5から n^- 型エピ層2に流れる。そして、 n^- 型エピ層2(ドリフト領域)に達すると、電子は、 n^+ 型半導体基板1(n^+ ドレイン)へ垂直に流れる。

【0091】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを

誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

【0092】(第2実施形態)第1実施形態では、p型ベース領域3のうち接合深さが浅い部分となる領域3aを形成したのちに、表面チャネル層5を形成しているが、本実施形態では、表面チャネル層5を形成した後に領域3aを形成する場合を示す。図3(a)～(d)に基づいて本実施形態における製造工程を説明する。なお、この図は第1実施形態における図2に示される製造工程に代わる部分を示している。

【0093】〔図3(a)に示す工程〕まず、図2(a)に示す工程と同様の工程を行い、LTO膜21をマスクとしたイオン注入にてp型ベース領域3のうち接合深さが深い部分にBが注入された領域3bを形成する。

【0094】〔図3(b)に示す工程〕次に、LTO膜21を除去したのち、 n^- 型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が $0.3 \mu\text{m}$ 以下の表面チャネル層5をエピタキシャル成長させる。

【0095】その後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜24を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。なお、このときのイオン注入条件は、第1実施形態と同様としている。

【0096】〔図3(c)に示す工程〕引き続き、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜25を配置したのち、これをマスクとしてA1をイオン注入して領域3aを形成する。これにより、p型ベース領域3のうち接合深さが浅い部分が形成される。なお、このときのイオン注入条件は、第1実施形態と同様としている。

【0097】〔図3(d)に示す工程〕そして、LTO膜25を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜26を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電氣的接続が可能となる。

【0098】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。このように、表面チャネル層5を形成した後に領域3aを形成してもよい。

【0099】(第3実施形態)本実施形態は第1実施形態におけるp型ベース領域3の構造を変更したものである。従って、MOSFETの主な構造は第1実施形態と同様であるため、第1実施形態と異なる部分のみ説明する。

【0100】図4に本実施形態におけるMOSFETの断面図を示す。p型ベース領域3は、A1をドーパント

として形成した領域3a、Bをドーパントとして形成した領域3b、及びソース電極10とのコンタクト用の領域3cを有している。

【0101】領域3aは、表面チャネル層5の下部を含んだ所定領域に形成されている。領域3bは、表面チャネル層5の下部を含まないように形成されており、領域3aよりも接合深さが深くなっている。つまり、領域3bが形成された部分だけ部分的に接合深さが深くなっており、この部分においてp型ベース領域3と半導体基板1との距離が短くなっている。

【0102】従って、この領域3bがディープベース層として働き、この部分における電界強度を高くでき、アバランシェブレークダウンし易くなるようにできる。

【0103】なお、図では示されていないが領域3bは領域3aと部分的にオーバーラップしており、領域3Bが単独で形成されている場合よりも活性化率を向上させている。

【0104】次に、このように構成されたMOSFETの製造工程について図5、図6を基に説明する。但し、ここでは第1実施形態と異なる部分についてのみ説明する。

【0105】図5(a)に示す工程) n^- 型エピ層2の上にLTO膜31を配置したのち、LTO膜31の所定領域を開口させる。そして、LTO膜31をマスクとしてBをイオン注入して領域3bを形成する。このときのイオン注入の条件は第1実施形態と同様としている。

【0106】このとき、基板表面から見て、LTO膜31の開口部分が後工程で形成される表面チャネル層5とオーバーラップしないようにすると共に、 n^+ 型ソース領域4とオーバーラップするようにしている。これにより、表面チャネル層5の下部にはBが注入されず、 n^+ 型ソース領域4の下部にはBが注入されるようにしている。

【0107】図5(b)に示す工程) 活性化アニールを行い、注入されたBイオンを活性化する。このとき、表面チャネル層5の下部にはBが注入された領域3bが形成されないようになっているため、Bの表面チャネル層5への拡散を防止することができる。これにより、しきい値電圧の変動を防止することができる。

【0108】また、 n^+ 型ソース領域4の下部にはBが注入されるようにしているため、 n^+ 型ソース領域4と n^- 型エピ層2との間におけるピンチ抵抗を小さくできる。これにより、サージ耐量を高くすることができる。

【0109】なお、このように、表面チャネル層5の下部に領域3bが形成されないようにすれば表面チャネル層5へのBの拡散を防止できるため、領域3bと n^- 型エピ層2の表面との間隔が短くなっているてもよいが、領域3bを表面チャネル層5から離間して形成することでより効率的に上記拡散を防止できる。

【0110】図5(c)に示す工程) n^- 型エピ層2

の上にLTO膜32を配置すると共に、LTO膜32の所定領域を開口させたのち、LTO膜32をマスクとしてA1をイオン注入する。このとき、 n^- 型エピ層2の上面から見たときに、LTO膜32の開口部分が深い領域3bを含む大きさとなるようにして、後工程で形成する表面チャネル層5の下方にもイオンが注入されるようにする。

【0111】なお、このときのイオン注入の条件は第1実施形態と同様としている。

【0112】これにより、A1が注入された領域3aが形成される。この領域3aがp型ベース領域3のうち接合深さが浅い部分を構成している。領域3aは、 n^- 型エピ層2の上面から見たときに、領域3bよりも広い範囲で形成される。

【0113】図5(d)に示す工程) LTO膜32を除去したのち、 n^- 型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3 μm 以下の表面チャネル層5をエピタキシャル成長させる。

【0114】図6(a)に示す工程) フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜33を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注入条件は、第1実施形態と同様としている。

【0115】図6(b)に示す工程) そして、LTO膜33を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜34を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電気的接続が可能となる。

【0116】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。

【0117】このように、Bをドーパントとする領域3bが表面チャネル層5の下部には形成されないようにすることでしきい値電圧の変動が防止できると共に、領域3aと領域3bが n^+ 型ソース領域と n^- 型エピ層2との間に形成されるようにすることでピンチ抵抗を小さくしてサージ耐量を高くすることができる。

【0118】(第4実施形態) 本実施形態は第1実施形態におけるp型ベース領域3の構造を変更したものである。従って、MOSFETの主な構造は第1実施形態と同様であるため、第1実施形態と異なる部分のみ説明する。

【0119】図7に本実施形態におけるMOSFETの断面図を示す。p型ベース領域3は、A1をドーパントとして形成した領域3a、Bをドーパントとして形成した領域3b、及びソース電極10とのコンタクト用の領域3cを有している。

【0120】領域3aは、エピタキシャル成長等によって、表面チャネル層5の下部を含んだ所定領域に形成されている。領域3bは、表面チャネル層5の下部を含まないようにイオン注入によって形成されており、領域3aよりも接合深さが深くなっている。つまり、領域3bが形成された部分だけ部分的に接合深さが深くなっており、この部分においてp型ベース領域3と半導体基板1との距離が短くなっている。従って、この領域3bがディープベース層として働く。

【0121】次に、このような構造を有するMOSFETの製造工程について図8～図10を基に説明する。但し、第1実施形態と製造工程の異なる部分についてののみ説明する。

【0122】〔図8(a)に示す工程〕n⁻型エピ層2の上に、A1をドーピングしたp⁻型層40をエピタキシャル成長させる。このp⁻型層40が領域3aを構成する。このように、イオン注入によらずにエピタキシャル成長によってA1をドーパントとする領域3aを形成することによって、A1をドーパントとして用いた場合においてもp型ベース領域3の厚さを厚く、つまり、実質的に接合深さを深くすることができる。

【0123】〔図8(b)に示す工程〕フォトリソ法を用いてp⁻型層40の上の所定領域にITO膜41を配置し、これをマスクとしてエッチングを行う。これにより、p⁻型層40を貫通しn⁻型エピ層2まで達する溝42が形成される。

【0124】〔図8(c)に示す工程〕次に、溝42の内を含むp⁻型層40の上面全面にn⁻型層43をエピタキシャル成長させる。これにより、溝42の内がn⁻型層43で埋まる。

【0125】〔図8(d)に示す工程〕p⁻型層40が露出するまで表面研磨を行い、基板表面を平坦化する。これにより、n⁻型エピ層2と共にドリフト領域として働くn⁻型エピ層2aが形成される。

【0126】〔図9(a)に示す工程〕n⁻型エピ層2の上にLTO膜44を配置したのち、LTO膜44の所定領域を開口させ、これをマスクとしてBをイオン注入する。このときのイオン注入の条件は第1実施形態と同様としている。

【0127】このとき、基板表面から見て、LTO膜44の開孔部分が後工程で形成される表面チャネル層5とオーバーラップしないようにして、表面チャネル層5の下部にはBが注入されないようにしている。

【0128】〔図9(b)に示す工程〕活性化アニールを行い、領域3bにおけるBイオンを活性化する。これにより、領域3bの接合深さが深くなる。このとき、表面チャネル層5の下部にはBが注入されないようにしているため、領域3bに注入されたBが拡散しても、表面チャネル層5への拡散を防止することができる。これにより、しきい値電圧の変動を防止することができる。

【0129】また、第3実施形態と同様に、領域3bの接合深さをより大きくでき、ディープベース層として働くようにできる。

【0130】〔図9(c)に示す工程〕LTO膜44を除去したのち、n⁻型エピ層2の上に不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下、膜厚が0.3 μm 以下の表面チャネル層5をエピタキシャル成長させる。このエピタキシャル成長における熱処理においても、表面チャネル層5の下部にはBが注入されないようにしていることから、表面チャネル層5へのBの拡散を防止することができる。

【0131】〔図10(a)に示す工程〕フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜45を配置し、これをマスクとしてN(窒素)等のn型不純物をイオン注入して、n⁺型ソース領域4を形成する。このときのイオン注入条件は、第1実施形態と同様である。

【0132】〔図10(b)に示す工程〕そして、LTO膜45を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜46を配置し、これをマスクとしてp型不純物をイオン注入し、p型ベース領域3上の表面チャネル層5を部分的にp型半導体に反転させる。これにより、後工程で形成されるソース電極10とp型ベース領域3との電気的接続が可能となる。

【0133】この後、図14に示す工程を施せば、本実施形態における縦型パワーMOSFETが完成する。

【0134】このように、A1をドーパントとする領域3aをイオン注入ではないエピタキシャル成長等によって形成した場合、容易にp型ベース領域3の実質的な接合深さを深くすることができる。これにより、第3実施形態と同様の効果が得られるだけでなく、A1をドーパントとして用いても容易にパンチスルーの発生を防止することができる。

【0135】(第5実施形態)本実施形態は第4実施形態におけるn⁻型エピ層2aの製造工程を変更したものである。従って、第4実施形態と異なる部分についてののみ説明する。

【0136】〔図11(a)に示す工程〕第4実施形態における図8(a)に示す工程と同様の工程を施し、領域3aを構成するp⁻型層40をエピタキシャル成長させる。

【0137】〔図11(b)に示す工程〕次に、LTO膜51を成膜し、フォトリソによりパターンニングを行ない、これをマスクとしてN、P等のn型不純物をイオン注入し、n型イオン注入層51を形成する。

【0138】〔図11(c)に示す工程〕続いて、イオン注入の際にマスクとして用いたLTO膜51を除去し、1400～1500℃の高温で注入された不純物の活性化熱処理を行ない、n型イオンが注入された部分においてp型ベース領域3の導電型を反転させ、n⁻型層

2bを形成する。

【0139】この後は、第4実施形態と同様に図9(a)～(c)に示す工程、図10(a)、(b)に示す工程を経て、第4実施形態と同様の構成を有するMOSFETが完成する。

【0140】このように、イオン注入によってn⁻型層2bを形成しているため、第4実施形態で必要とされていた溝42を形成する工程、n⁻型層43をエピタキシャル成長させる工程、n⁻型層43を平坦化させる工程等の数多くの高度な技術が必要とされる工程を省略することができる。これにより、デバイス形成を簡略化することができる。

【図面の簡単な説明】

【図1】第1実施形態におけるプレーナ型パワーMOSFETを示す断面図である。

【図2】図1に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図3】第2実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図4】第3実施形態におけるプレーナ型パワーMOSFETを示す断面図である。

【図5】図4に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図6】図5に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図7】第4実施形態におけるプレーナ型パワーMOS

FETの製造工程を示す図である。

【図8】図7に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図9】図8に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図10】図9に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図11】第5実施形態におけるプレーナ型パワーMOSFETの製造工程を示す図である。

【図12】本発明者らが先に出願したプレーナ型パワーMOSFETを示す断面図である。

【図13】図12に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図14】図13に続くプレーナ型パワーMOSFETの製造工程を示す図である。

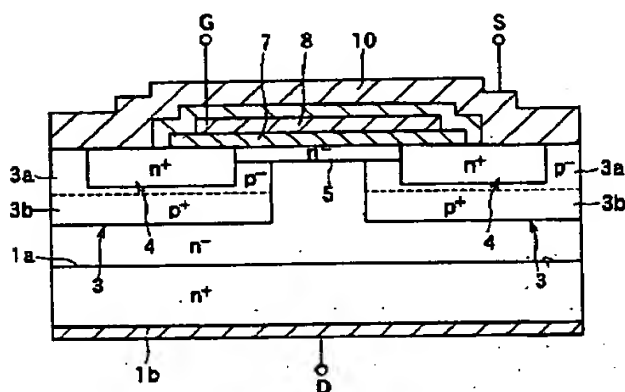
【図15】図14に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図16】B（ボロン）の拡散深さと不純物濃度のプロファイルを示す図である。

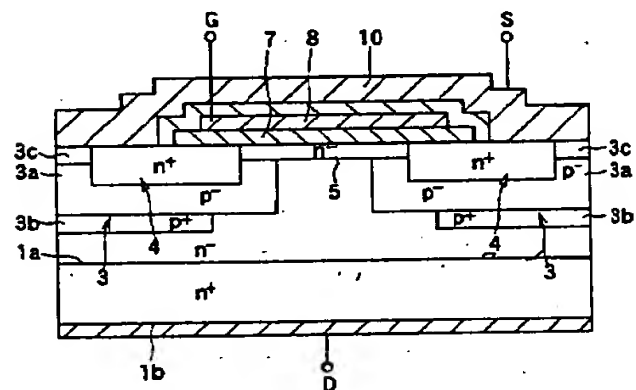
【符号の説明】

1…n⁺型の半導体基板、2…n⁻型エピ層、3…p型ベース領域、3a…A1が注入された領域、3b…Bが注入された領域、4…n⁺型ソース領域、5…表面チャネル層、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極。

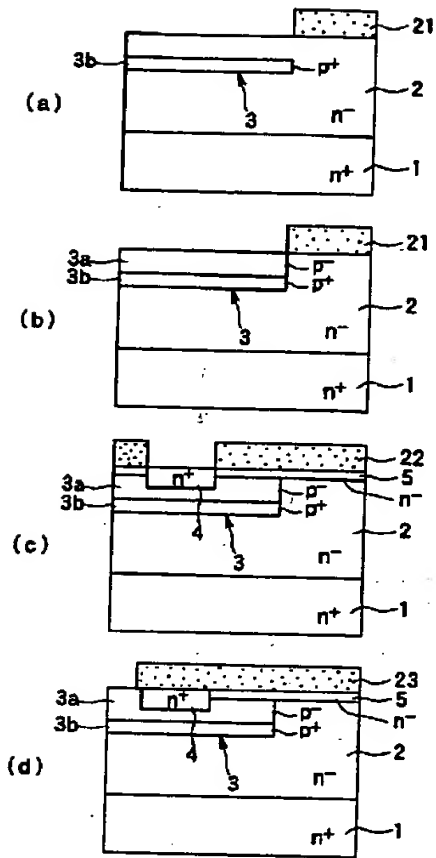
【図1】



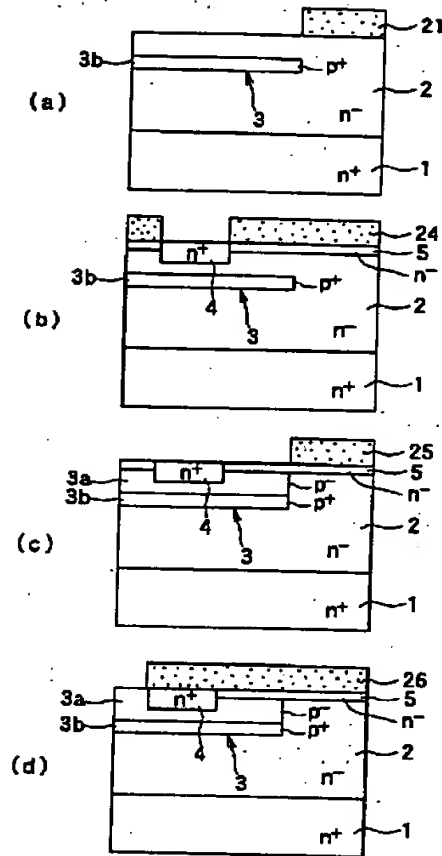
【図4】



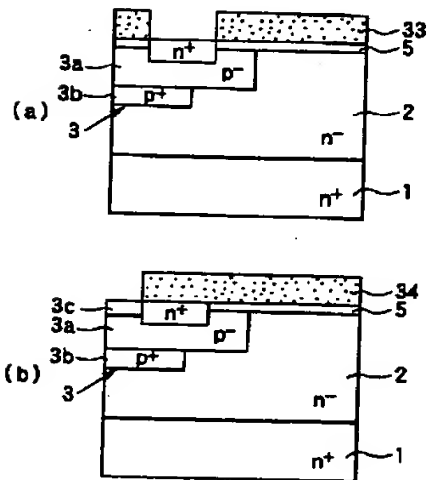
【図2】



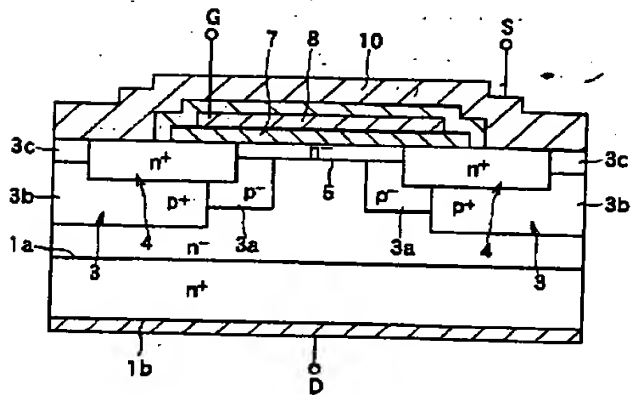
【図3】



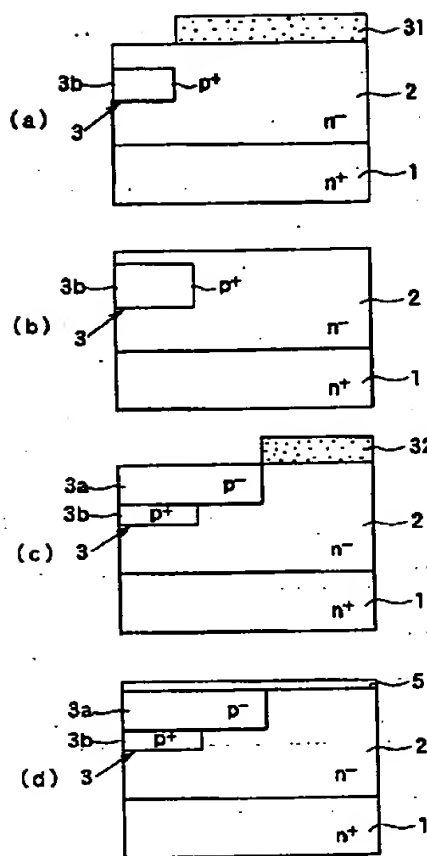
【図6】



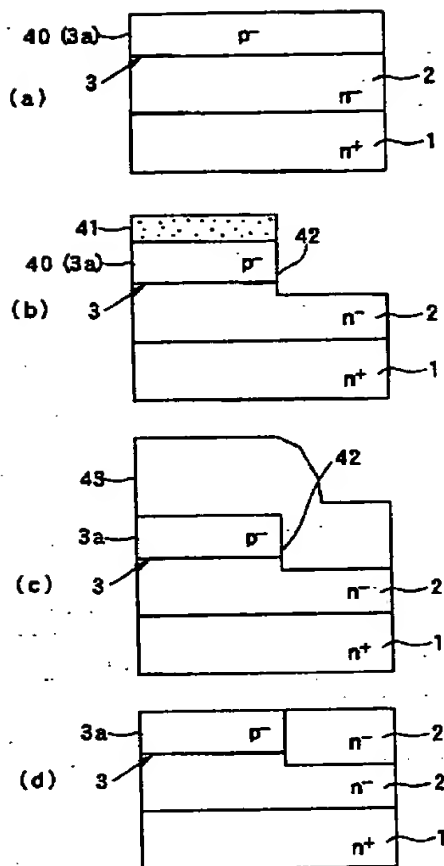
【図7】



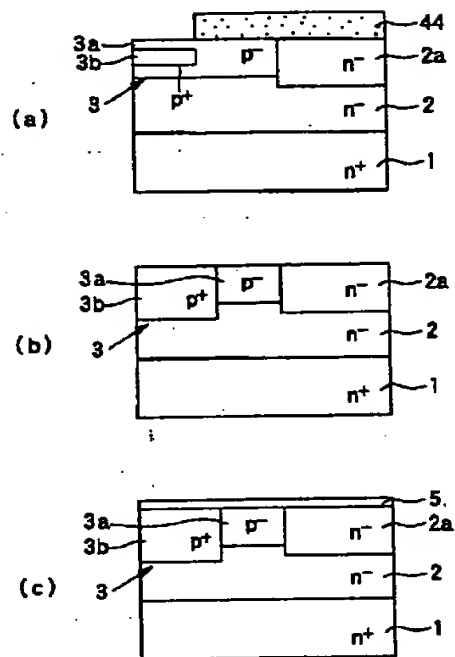
【図5】



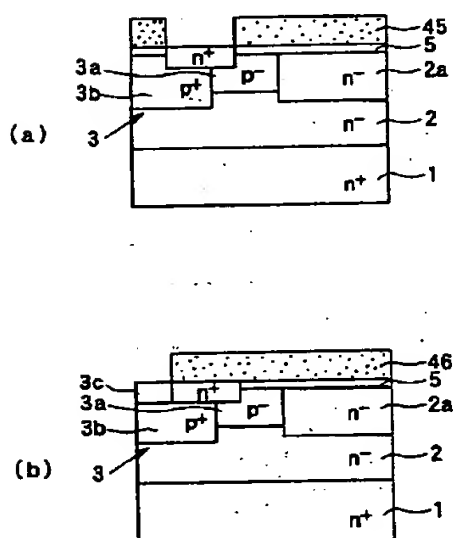
【図8】



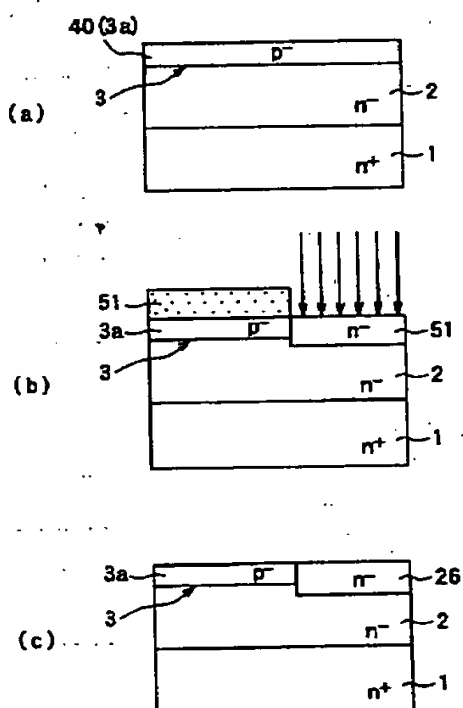
【図9】



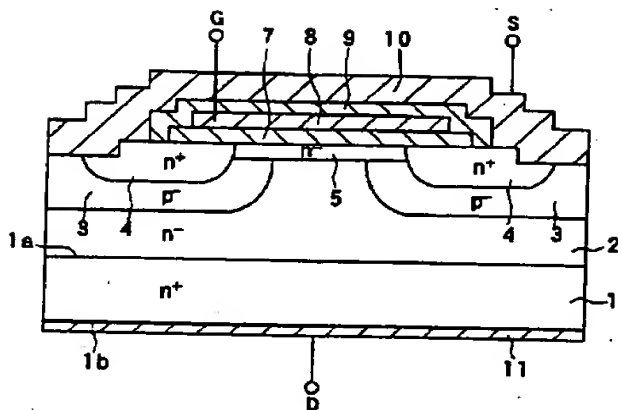
【図10】



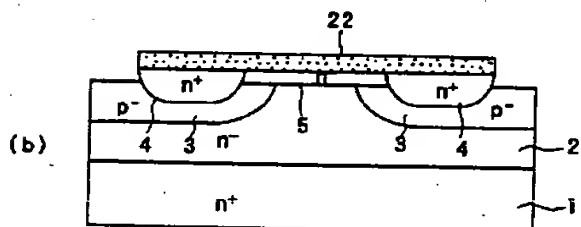
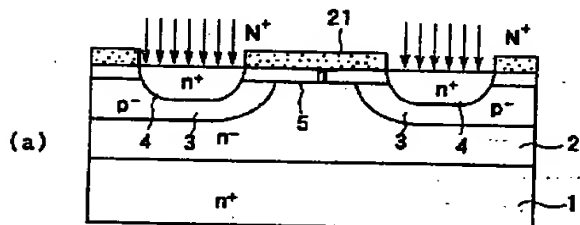
【図11】



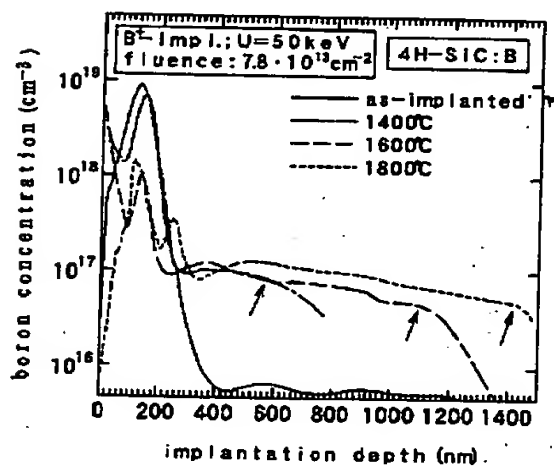
【図12】



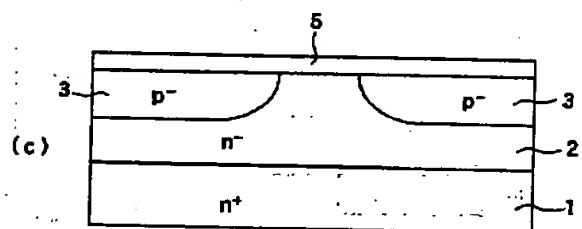
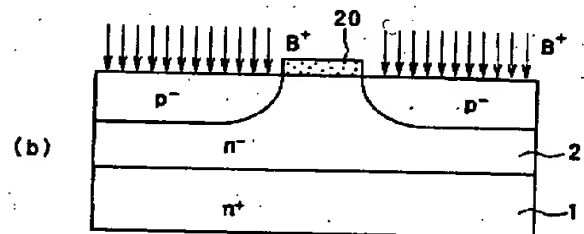
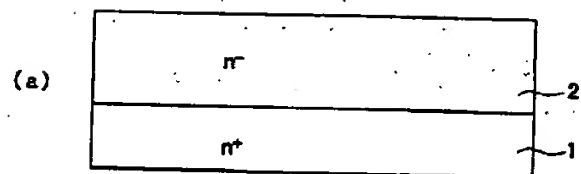
【図14】



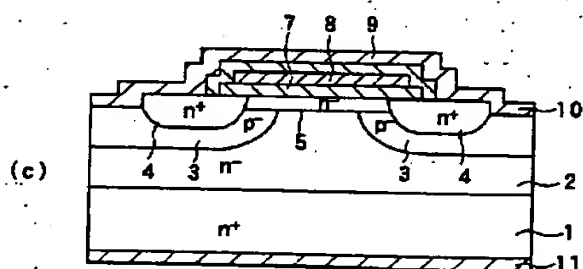
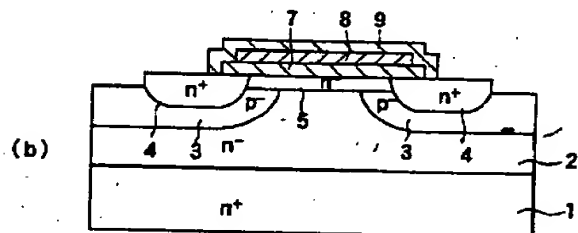
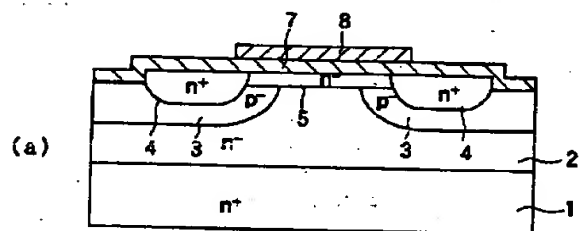
【図16】



【図13】



【図15】



THIS PAGE BLANK (USPTO)